



Universidade Federal do ABC

Trabalho de Graduação III

Isabella Pirani de Souza

Caracterização de Capacitores MIS com Camada Semicondutora
Orgânica visando a Fabricação de TFTs

SANTO ANDRÉ

2018

Isabella Pirani de Souza

Caracterização de Capacitores MIS com camada Semicondutora
Orgânica visando a Fabricação de TFTs

Trabalho de Graduação III

Relatório de Trabalho de Graduação III apresentado ao Curso de
Engenharia de Informação como requisito parcial para obtenção do grau de
Engenheira de Informação.

Orientador: Prof. Dr. Adriano Reinaldo Viçoto Benvenho

Coorientadora: Prof. Dra. Kátia Franklin Albertin Torres

SANTO ANDRÉ

2018

Agradecimentos

Gostaria de agradecer à Universidade Federal do ABC por toda oportunidade que me foi dada desde o primeiro dia: de monitora, pesquisadora, representante discente do curso Engenharia de Informação, viajante, estudante de línguas estrangeiras a, finalmente, me tornar engenheira. Também, gostaria de agradecer, especialmente, ao meu orientador Adriano Benvenho por toda ajuda, dedicação e paciência ao longo deste último ano, aos professores do curso de Engenharia de Informação e aos meus amigos e família, pela compreensão nos dias em que eu não pude estar fisicamente presente, pois estava me dedicando a essa árdua e longa tarefa de me formar. Muito obrigada a todos!

Resumo

Este trabalho baseou-se na fabricação e caracterização de capacitores MIS visando a fabricação de transistores orgânicos, que como grande vantagem, são fáceis de trabalhar e os métodos de fabricação e caracterização podem ser de baixo custo. Observou-se um fenômeno inesperado, no capacitor MIS, de capacitância negativa. Este fenômeno precisa, ainda, ser melhor compreendido, mas estudos indicam que este efeito de capacitância negativa pode levar a uma amplificação de tensão em nano dispositivos de baixa potência, sendo assim, interessante em aplicações tecnológicas.

Abstract

This work was based on the fabrication and characterization of MIS capacitors in order to search for applications in organic transistors. The organic materials have a great advantage that it is easy to work with, and the fabrication and characterization methods are inexpensive. The unexpected phenomenon of the negative capacitance was observed in the MIS capacitor. This phenomenon still needs to be better understood, but studies indicate that this negative capacitance effect may lead to voltage amplification in nano low power devices, thus being interesting in technological applications.

SUMÁRIO

1	INTRODUÇÃO	7
1.1	História do transistor MOS	7
1.2	Transistores orgânicos	8
1.2.1	Arquitetura	8
1.3	Semicondutores orgânicos	9
1.4	Camada isolante	12
1.5	Aplicações	13
2	TEORIA	13
2.1	Modo de operação	13
2.2	Espectroscopia de impedância	17
2.3	Capacitância negativa	18
3	EXPERIMENTAL	20
3.1	Materiais utilizados	20
3.2	Preparação dos dispositivos	23
3.3	Métodos de caracterização	25
4	RESULTADOS	26
5	CONCLUSÃO	29
	REFERÊNCIAS BIBLIOGRÁFICAS	30

1. Introdução

1.1 História do transistor MOS

O transistor MOS, conhecido como MOSFET (Metal Oxide Semiconductor Field Effect Transistor) foi primeiramente proposto pelo físico Julius Edgar Lilienfeld em 1925, mas foi apenas em 1934, que o inventor alemão Oskar Heil, patenteou um dispositivo similar. [1]

O MOSFET é um dispositivo de quatro terminais composto pelo dreno, fonte, porta e substrato. Os parâmetros físicos mais importantes para caracterizar um transistor MOS são a largura do canal W e o comprimento do canal L , sendo o primeiro responsável pelo condicionamento da passagem de corrente entre dreno e fonte e o segundo responsável pelo tempo de trânsito do elétron no canal, definindo a resposta em frequência do dispositivo.

Na eletrônica, dois parâmetros muito importantes são o tamanho do dispositivo e a velocidade com que estes operam. A tendência é que os dispositivos eletrônicos utilizados sejam cada vez mais rápidos e compactos. Atualmente, grande parte desses dispositivos são baseados em silício semiconductor com geometria tradicional dos transistores de efeito de campo (FET) – substrato de silício coberto por uma fina camada de dióxido de silício (SiO_2) obtido por crescimento térmico.[2] Na figura 1 observa-se a estrutura típica de um transistor MOSFET do tipo n.

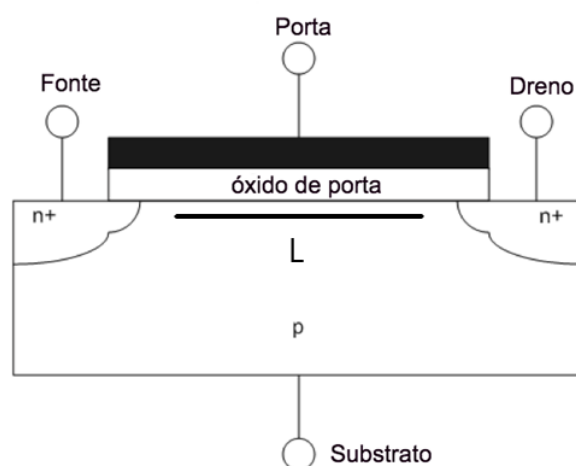


Figura 1 – Estrutura típica de um transistor MOSFET tipo n.

1.2 Transistores orgânicos

O transistor de efeito de campo (FET) tem sido amplamente utilizado e miniaturizado para que possa ser empregado em circuitos de alta complexidade. No entanto, quanto menor o dispositivo maior a chance de superaquecimento e interferência entre os componentes. Dessa forma, existe a necessidade de estudos na área para que se possa encontrar novos materiais e tecnologias de fabricação a fim de superar as limitações atuais, especialmente no quesito velocidade e baixo consumo de potência.

Uma opção de material a ser utilizado são os semicondutores orgânicos, uma vez que estes materiais podem ser depositados sobre substratos de baixo custo, como por exemplo, vidro e plásticos. Os transistores de filmes finos orgânicos (OTFT) são caracterizados como um tipo de FET, construído com camadas orgânicas depositadas sob substratos e possuem diversas aplicações, tanto na área de engenharia, em etiquetas de identificação por rádio frequência (RFID) e em memórias, como na área médica, com o uso de sensores químicos e biológicos, capazes de detectar glicose, biomarcadores de doenças como a infecção no trato gastrointestinal pela bactéria *Helicobacter pylori*, insuficiência renal e cirrose hepática.[2]

1.2.1 Arquitetura

De modo geral um transistor de filme fino orgânico (OTFT) é composto por um isolante, uma camada semicondutora fina e três eletrodos. A geometria mais utilizada na construção dos OTFT é a *bottom-gate*. Nessa estrutura, o eletrodo de porta (*gate*) se encontra sob o dielétrico, enquanto os contatos elétricos de fonte e dreno (*source e drain*) são adicionadas entre as camadas isolante e semicondutora orgânica. Na figura 2 é possível identificar possíveis estruturas para transistores de filmes finos orgânicos, de acordo com a posição relativa dos eletrodos de porta (G), fonte (S) e dreno (D).[2]

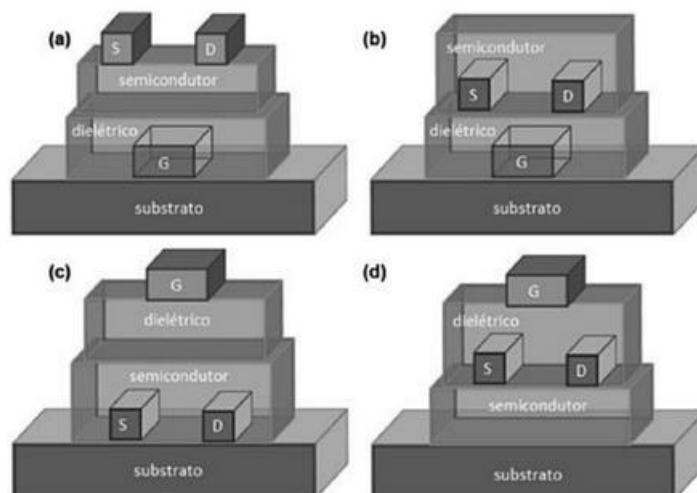


Figura 2 - Estruturas possíveis de um OTFT *bottom-gate*: (a) *top contact (staggered)*; (b) *bottom contact (coplanar)*; ou *top-gate*: (c) *bottom contact*; (d) *top contact*. [2].

Cada uma dessas configurações possui vantagens e desvantagens. Por exemplo, na configuração onde o eletrodo é depositado antes do semicondutor orgânico (coplanar), se o isolante for inorgânico, é possível a padronização destes eletrodos, utilizando técnicas de microlitografia. Já na estrutura onde os eletrodos são depositados sobre o semicondutor orgânico (*top contact*), tem sido reportado que a resistência de contato é menor. [2]

1.3 Semicondutores orgânicos

Na construção de OFETs, um aspecto crucial para o bom desempenho do dispositivo, é o semicondutor utilizado na região do canal. Semicondutores orgânicos ideais para OFETs eram difíceis de ser encontrados pois devido à sensibilidade às condições ambientais (oxidam ou absorvem água da atmosfera, por exemplo) ou não são solúveis em solventes comuns, fazendo com que a fabricação do dispositivo se tornasse cara, anulando a vantagem econômica dos transistores orgânicos. Com a descoberta de novos semicondutores orgânicos estáveis para utilização em condições ambientes é possível a construção de dispositivos baratos e acessíveis utilizando as duas principais classes de materiais, que são moléculas orgânicas de baixo peso molecular e polímeros conjugados. [2]

Entre os polímeros semicondutores, um dos mais utilizados é o politiofeno que não é solúvel em água, e por isso, adiciona-se aos anéis de tiofeno, um grupo hexil com cadeia lateral, fazendo com que o novo polímero poli(3-hexiltiofeno) – P3HT seja solúvel na maioria dos solventes comuns. Dessa forma, é possível a preparação dos filmes finos por várias técnicas tais como centrifugação, imersão ou impressão. Na figura 3, é possível observar a estrutura do politiofeno e do poli(3-hexiltiofeno).[2]

Entre os materiais orgânicos de baixo peso molecular, os mais estudados são o pentaceno e o oligo-tiofeno, que podem ser observados na figura 4. Os oligo-tiofenos possuem mobilidade de aproximadamente $1 \text{ cm}^2/\text{Vs}$ [6], enquanto o

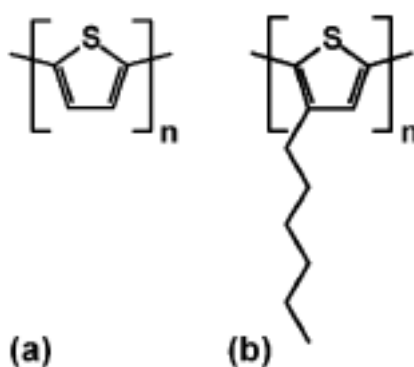


Figura 3 – Fórmula estrutural do (a) politiofeno e (b) poli(3-hexiltiofeno). Retirado de [2].

pentaceno possui mobilidade na ordem de $10 \text{ cm}^2/\text{Vs}$ [7]. Apesar da maioria dessas moléculas serem insolúveis, elas podem ser depositadas por sublimação térmica em vácuo e na maioria das vezes essas moléculas se auto organizam em estruturas policristalinas bem ordenadas depois da deposição dos filmes. [2]

Os dispositivos que utilizam o pentaceno como semicondutor orgânico são os que apresentam maiores mobilidades, devido à sua estrutura cristalina. No entanto, o pentaceno também é facilmente oxidável quando exposto ao ar, o que pode causar uma redução do comprimento de conjugação e conseqüentemente a redução da mobilidade.[2] Na figura 4, é possível observar diferentes semicondutores orgânicos de moléculas pequenas.

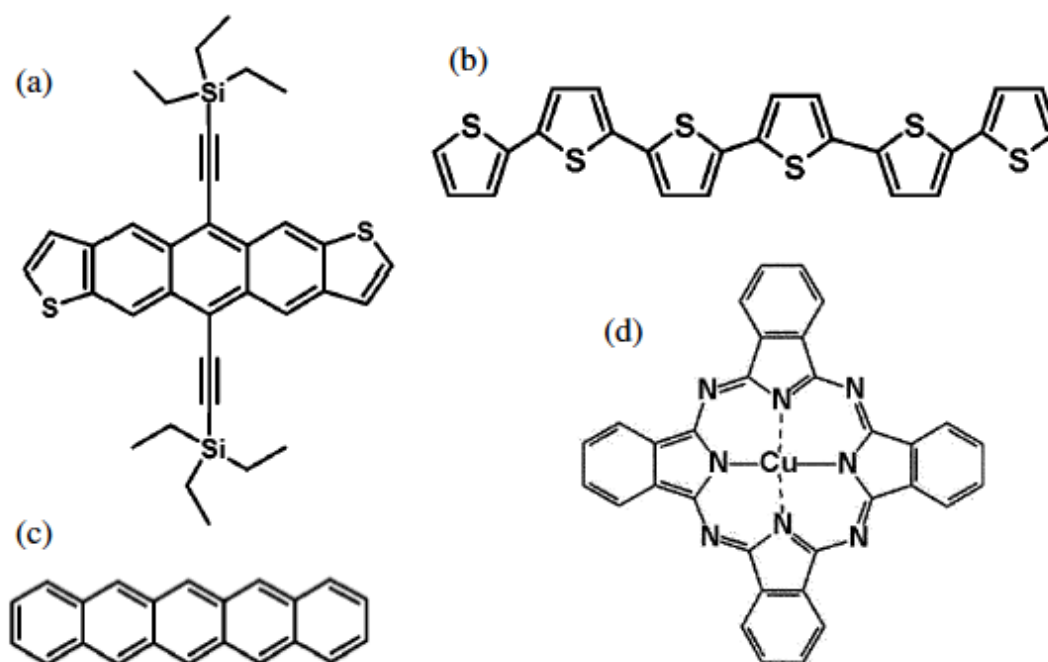


Figura 4 – Semicondutores orgânicos de moléculas pequenas: bis(trietilsililetinil)-antradiotiofeno (b) sexitiofeno (c) pentaceno (d) fitalocianina de cobre. Retirado de [3].

Deve-se levar em consideração que a mobilidade de semicondutores orgânicos depende da morfologia dos filmes e, conseqüentemente, depende também do campo elétrico e da temperatura. Por isso, o desempenho de funcionamento desses dispositivos está relacionado com a influência de cada camada e suas condições de interface, estando a morfologia final de um filme relacionada também com o solvente aplicado. Dessa forma, percebe-se que o contorno de grão em filmes policristalinos podem assumir um papel determinante no desempenho do transistor, pois pode agir como armadilha de portadores.[2] Por isso, é necessário cuidado ao escolher o material a ser utilizado, de forma a evitar ou diminuir as armadilhas de interface dielétrico/semicondutor, já que sabe-se que esta tem um papel importante no transporte de carga, podendo aumentar a corrente em até três ordens de grandeza, dependendo do dielétrico empregado.

Como as interfaces têm papel primordial no funcionamento dos transistores e como a camada isolante impede o transporte de portadores de carga atravessando toda a camada orgânica, um dispositivo mais simples para obter e analisar estas características são os capacitores MOS.

1.4 Camada isolante

Como a maioria das aplicações de OFETs objetivam o baixo custo, quanto mais simples o processo de fabricação do dielétrico, maior é o interesse no material. Isso pode incluir dielétricos poliméricos que podem ser depositados por centrifugação, spray ou impressão. O método mais comum é a deposição da solução de polímero e subsequente tratamento térmico para evaporação do solvente. As propriedades dos filmes poliméricos obtidos (espessura, rugosidade, estabilidade, etc) são determinadas pela formulação das soluções, pelo processo de deposição e pelas características dos polímeros utilizados. Outra possibilidade é o uso de filmes de óxidos não orgânicos tais como ZnO, HfO₂, Ta₂O₅, Al₂O₃, e TiO₂. [3]

1.5 Aplicações

A susceptibilidade dos semicondutores orgânicos às condições de operação e impureza tem aplicação direta em sensores químicos. Sensores à base de OTFTs funcionam através da interação entre analitos químicos ou biológicos e a camada ativa semicondutora. Tais analitos podem ser específicos via modificação química e incorporação de sítios de reconhecimento na estrutura do transistor. No entanto, a alteração das condições de deposição de cada camada, consequência da modificação citada, afeta o sinal de resposta do dispositivo por estarem intrinsecamente relacionadas com a qualidade das interfaces do dispositivo (isolante/semicondutor e eletrodo/semicondutor) e à nanomorfologia das camadas. As interações diretas entre analito e camada ativa podem ocorrer através de transferência de carga ou dopagem, resultando em uma mudança na condutividade. Além disso, analitos podem ser adsorvidos para então difundir através de contornos de grão introduzindo novos estados energéticos localizados no filme (armadilhas ao transporte de carga) aumentando, assim, a resistência ao transporte de carga. Tal efeito é observado na alteração da mobilidade dos portadores de carga no filme semicondutor e o acúmulo de analitos na interface com o isolante, por sua vez, pode alterar a distribuição local do campo elétrico nesta interface e, portanto, a condutividade do canal. Nesse caso, o principal parâmetro monitorado é a tensão de limiar. Em ambos os casos, o impacto é na variação da corrente circulando no canal. [2]

2. Teoria

2.1 Modo de operação

Grande parte dos OTFTs possui a estrutura de um transistor de efeito de campo (FET). Nos FETs a condução ocorre no canal entre os eletrodos de fonte e dreno, modulada pela tensão de porta (V_{GS}). A estrutura metal-isolante-semicondutor (MIS) é utilizada devido à ampla aplicação nos transistores MOSFET (é a tecnologia que domina o mercado de circuitos digitais) e por ser, também, a estrutura mais empregada em TFTs de silício amorfo. A estrutura central do dispositivo é o capacitor MIS, cujo eletrodo de porta controla a densidade de cargas no canal do transistor e, portanto, sua condutância.[2]

Na figura 5, é possível observar a curva de saída de um transistor (I_{DS} vs. V_{DS}), para valores fixos de V_{GS} . Nela, verifica-se que há uma modulação de corrente que passa no canal, a partir da tensão aplicada à porta. A curva abaixo foi medida em um dispositivo em que o semicondutor orgânico é o pentaceno, o isolante é o dióxido de silício, os eletrodos fonte e dreno são de ouro e o eletrodo porta é o n-Si.[3]

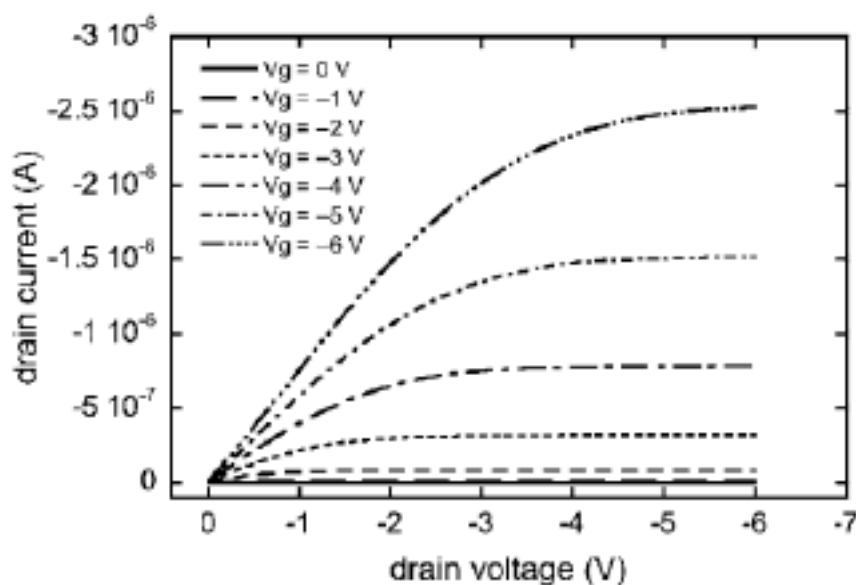


Figura 5 - Curva de saída (I_{DS} vs. V_{DS}) de um OFET típico. Retirado de [3].

O comportamento do OFET se assemelha a de um capacitor, ou seja, quando uma tensão é aplicada à porta, cargas elétricas são induzidas em ambos lados da camada isolante. Na interface isolante-semicondutor, a carga induzida favorecerá a formação de um canal condutor se os portadores de carga puderem ser

transportados no material semiconductor. Além disso, vale observar que, como a condutância do canal é proporcional à carga induzida, ela também será proporcional à tensão da porta. Dessa forma, quando uma tensão negativa é aplicada à porta, cargas positivas são induzidas na interface isolante-semicondutor e assim buracos são facilmente transportados, pois o nível de Fermi do ouro é muito próximo do nível HOMO (*Highest Occupied Molecular Orbital*) do pentaceno e a barreira de energia para injeção de buracos é pequena[3], como observado na figura 6. Se uma diferença de potencial for aplicada entre fonte e dreno, com o canal já formado pela tensão aplicada à porta, ocorrerá o transporte de carga entre os eletrodos.

Para uma pequena tensão no dreno V_{DS} , a corrente I_{DS} segue a lei de Ohm, sendo portanto, proporcional não somente à tensão no dreno V_{DS} , como também proporcional à tensão da porta V_{GS} . A medida que a tensão do dreno aumenta, a queda de tensão perpendicular ao longo do canal diminui, ocorrendo um estreitamento do canal devido ao aparecimento de uma região de depleção de cargas livres na proximidade do dreno.[3] Essa região de depleção aumenta a queda de tensão e faz com que a corrente do canal se torne independente da tensão no dreno, fazendo com que o transistor entre em regime de saturação, como observado na figura 5. Para valores de até -2V, percebe-se que o transistor opera na região linear, quando segue a lei de Ohm. A partir de -2V até -6V, verifica-se que o transistor opera na região de saturação, sendo a corrente I_{DS} independente da tensão V_{DS} .

Na figura 6, encontra-se o esquema de energia da interface do eletrodo com o material semiconductor (ouro e pentaceno).

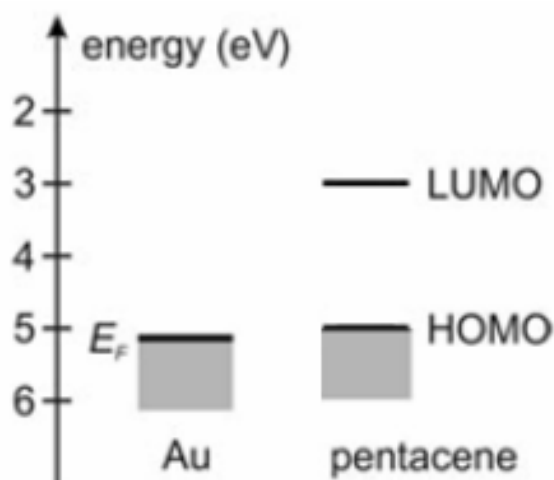


Figura 6 – Esquema de energia da interface ouro-pentaceno. Retirado de [3].

A tensão a partir do qual o canal condutor é formado, é chamada de tensão de limiar, V_L . É essa tensão que caracteriza a tensão necessária para se induzir cargas móveis no canal. Além disso, ela depende de alguns fatores, entre eles, a presença de armadilhas que precisarão ser preenchidas para que enfim, as cargas móveis sejam induzidas.[3]

Na figura 7, é possível observar a curva de transferência (I_{DS} vs. V_{GS}) para uma tensão V_{DS} constante. Nela verifica-se o momento em que o canal condutor é formado e o dispositivo começa a conduzir, a partir de -2V.

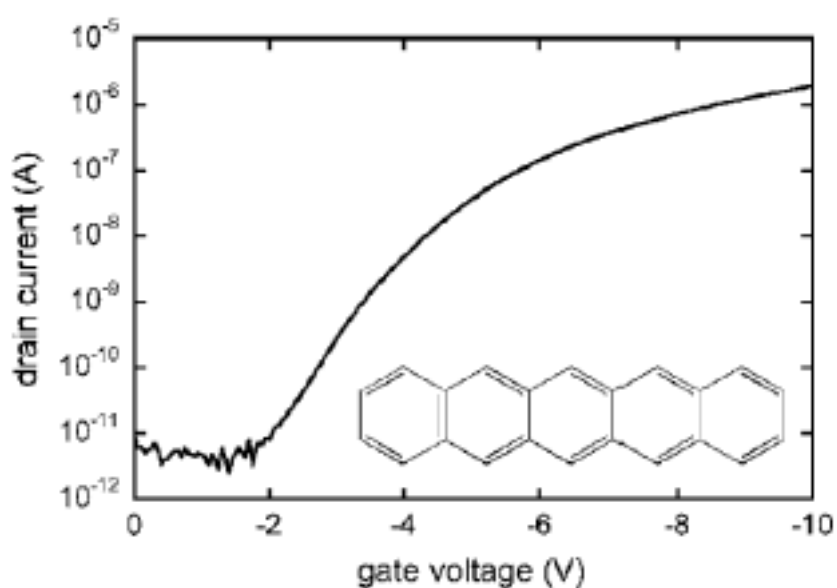


Figura 7 – Curva de transferência de um OFET típico. No detalhe, é mostrado a estrutura do pentaceno. Retirado de [3].

As correntes dos regimes lineares e de saturação podem ser determinadas de acordo com as equações (1) e (2), levando em consideração as seguintes hipóteses [3]:

O campo elétrico ao longo do canal é muito menor que o campo elétrico perpendicular proveniente de V_{GS} . Isso é válido quando o comprimento do canal L é muito maior que a espessura do isolante; e

A mobilidade μ é constante considerando que não exista armadilhas profundas.

$$I_{Dlinear} = \frac{W}{L} \mu C_I (V_P - V_L) V_D \quad (1)$$

$$I_{Dsaturação} = \frac{W}{2L} \mu C_I (V_P - V_L)^2 \quad (2)$$

Nas equações, W e L são a largura e o comprimento do canal, respectivamente. C_i é a capacitância do isolante por unidade de área, V_P e V_D são as tensões de porta e de dreno e V_L é a tensão de limiar.

Observa-se, então, que existem dois regimes de operação do transistor: (i) a região de corte em que $V_{GS} > V_L$ e a corrente $I_D = I_{off} \approx 0$ e (ii) a região de sublimiar, na qual I_D depende exponencialmente de V_{GS} . A mobilidade do dispositivo pode ser encontrada através da primeira derivada de I_D em relação a V_{GS} , de acordo com a equação (3). Além disso, a intersecção da reta aproximada com o eixo x (V_{GS}) da curva I_D vs. V_{GS} é o valor da tensão de limiar, V_L que pode ser determinado graficamente.

Para diminuir a tensão de operação dos circuitos eletrônicos, deseja-se que V_L tenda a zero, sendo seu valor tradicionalmente perto de 5V. Além disso, tanto o efeito de histerese quanto a corrente de fuga pelo dielétrico afetam negativamente o desempenho do dispositivo, sendo a histerese uma operação biestável da corrente do transistor. Ela aparece como a diferença em I_D durante varreduras crescente e decrescente de V_{DS} ou V_{GS} [2].

Sabe-se que a corrente de dreno I_D é proporcional à mobilidade dos portadores de carga, às dimensões do transistor, às tensões aplicadas e à capacitância do isolante.[3] Então, o material dielétrico influencia o desempenho do

transistor de acordo com a equação (3). Dessa forma, a camada isolante afeta diretamente a tensão de operação do transistor, ou seja, uma camada mais fina ou com alta permissividade irá resultar em tensões de operação menores, para o mesmo semiconductor e as mesmas dimensões do transistor.[3] Como um dos principais problemas que limitam a aplicação dos OFETs é a alta tensão de operação, muitas vezes excedendo 20V, uma forma de reduzir essa tensão é aumentar a capacitância por área do dielétrico C_i . Observando a equação (3), verifica-se que para aumentar a capacitância, pode-se aumentar a constante dielétrica ϵ_i do material ou diminuir a espessura do filme dielétrico d . Entretanto, a produção de filmes dielétricos muito finos em grandes superfícies é muito difícil, o que é um fator essencial na produção de dispositivos eletrônicos flexíveis de baixo custo.[3] Então, para trabalhar com filmes relativamente espessos, utiliza-se materiais com alto valor de constante dielétrica, como alguns óxidos já citados anteriormente.

$$C_i = \epsilon_0 \epsilon_i \frac{A}{d} \quad (3)$$

Na equação (3), A é a área do eletrodo de porta, d é a espessura do filme dielétrico, ϵ_i é a permissividade elétrica do vácuo e ϵ_i é a constante dielétrica do material

2.2 Espectroscopia de impedância

A medida de impedância elétrica de uma amostra como função da frequência é conhecida como espectroscopia de impedância ($Z_{RC}(\omega) = Z' + jZ''$) ou espectroscopia de admitância ($Y_{RC} = \frac{1}{Z_{RC}} = G + j\omega C$) para o caso da medida da admitância como função da frequência. Para que se possa investigar o circuito elétrico equivalente do material sob análise, os dados medidos são plotados na forma de um diagrama chamado *Cole-Cole*, no qual tem-se a parte real da impedância Z' versus a parte imaginária Z'' . Semicírculos são revelados no plano complexo da impedância. Esse resultado é observado por causa da equação clássica de Debye, no qual se relaciona a parte real e imaginária da permissividade com a frequência: [4]

$$\varepsilon_r'' = \varepsilon_S + \frac{\varepsilon_S - \varepsilon_\infty}{1 + \omega^2 \tau^2} \quad (4)$$

$$\varepsilon_r'' = \frac{(\varepsilon_S - \varepsilon_\infty)}{1 + \omega^2 \tau^2} \omega \tau \quad (5)$$

Em que ε_S e ε_∞ representam os valores de baixa e alta frequência da parte real respectivamente e τ é a constante de tempo característica do sistema. A figura 8 (a) e (b) mostra dois circuitos RC simples e os seus respectivos espectros de impedância em (c) e (d).

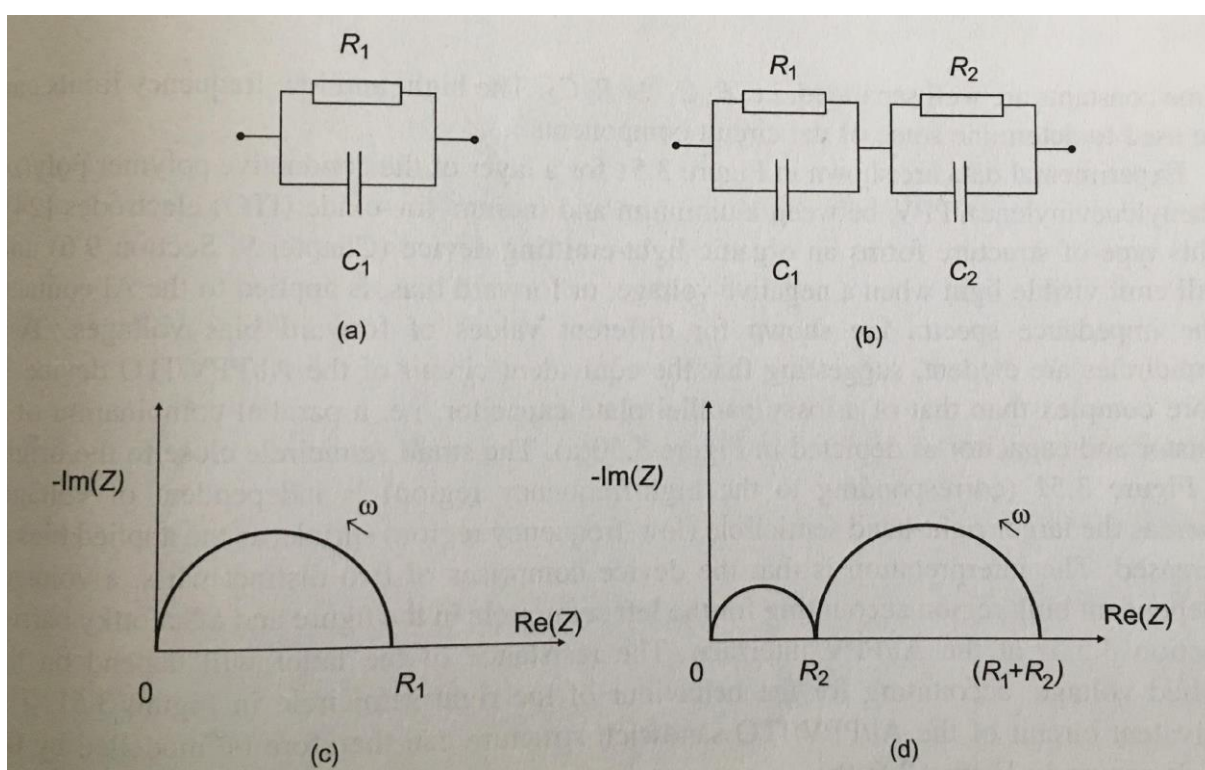


Figura 8 – Diagrama (a) e (b) representam dois circuitos RC simples e os diagramas (c) e (d) são os respectivos espectros de impedância no plano complexo da parte imaginária da impedância $\text{Im}(Z)$ versus a parte real $\text{Re}(Z)$. Retirado de [4].

O circuito (b) que é a combinação de dois resistores e capacitores terão duas constantes de tempos diferentes, $R_1 C_1$ e $R_2 C_2$. Por isso, na curva das impedâncias são observados dois semicírculos diferentes, se essas constantes de tempo são bem separadas, ou seja, $R_1 C_1 \gg R_2 C_2$. Os limites de alta e baixa frequência podem ser usados para determinar alguns componentes do circuito.[4]

2.3 Capacitância negativa

Sabe-se que em um transistor FET convencional é necessário uma mudança de potencial no canal de pelo menos 60 mV a 300 K para gerar uma modificação na corrente por um fator de 10 e que esse curva mínima de *subthreshold* S coloca um limite mínimo fundamental na tensão de operação e conseqüentemente um mínimo de tempo para a dissipação nas trocas on/off de um FET padrão. Quando um isolante padrão é substituído por um isolante ferroelétrico a uma certa espessura é possível é possível amplificar a tensão de porta levando a valores de S menores que 60mV/década, permitindo uma operação de baixa tensão/potência. A transformação da tensão pode ser entendida como o resultado de uma capacitância negativa efetiva devido ao capacitor ferroelétrico que surge de um feedback positivo. Esse feedback positivo pode ser, em princípio, obtido também por outros mecanismos microscópicos.[4]

Na figura 9 observa-se uma estrutura FET padrão em que a corrente I no dreno é controlada pela tensão na porta V_g . O esquema elétrico equivalente está a direita e indica a divisão de tensão da porta V_g entre a capacitância do isolante C_{ins} e a capacitância do semiconductor C_s (que compreende a capacitância da região de depleção, a capacitância entre canal e fonte e entre canal e dreno). Além disso, ψ_s representa o potencial do canal.[4]

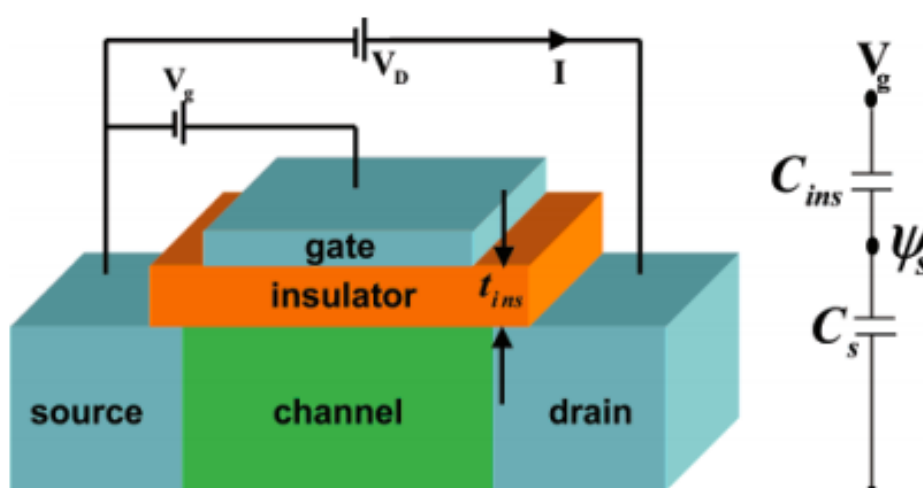


Figura 9 – Estrutura padrão de um FET e seu esquema elétrico equivalente. Retirado de [4].

A capacitância complexa dependente da frequência,

$$C(\omega) = C'(\omega) - jC''(\omega) \quad (6)$$

E a permissividade dielétrica complexa,

$$\varepsilon(\omega) = \varepsilon'(\omega) - j\varepsilon''(\omega) \quad (7)$$

Definem, respectivamente, a carga armazenada de uma tensão alternada em um capacitor e a resposta da polarização do dielétrico na modificação de um campo elétrico. Sob condições normais de operação, os valores de ε' , ε'' e C' e C'' são positivos, implicando que a polarização/carga está em fase com o campo elétrico/tensão e a uma perda de energia está associada ao processo. Valores negativos de ε'' e C'' são incompatíveis com meios passivos, já que isso implicaria um ganho de energia na mudança de polarização. Essa situação poderia surgir em sistemas ativos no qual alguns agentes como a inversão de população ou temperatura efetiva negativa resulta em uma energia efetiva de transferência extraída de alguma fonte para o campo elétrico. Um exemplo distribuído de um sistema como esse seria um laser, enquanto um exemplo agrupado de um componente seria representado por um amplificador paramétrico. O caso de valores negativos da parte real ε' e C' correspondem a sistemas no qual a oscilação de polarização não está em fase com o campo elétrico/tensão e esse é o caso de sistemas ressonantes acima da frequência de ressonância. [6]

3. Experimental

3.1 Materiais utilizados

Os transistores de efeito de campo foram construídos utilizando a arquitetura no qual a porta está sob a camada isolante e eletrodos da fonte e dreno sobre o semicondutor orgânico. Utilizou-se como camada isolante, o óxido de zinco ZnO, fabricado pelo Professor Marcio Peron Franco de Godoy do departamento de Física da UFSCAR e como camada semicondutora orgânica, o pentaceno do fabricante Sigma-Aldrich com 99% de pureza. Para o eletrodo de porta utilizou-se o ITO adquirido da empresa Lumtec e para os eletrodos de fonte e dreno, o ouro.

Além disso, para armazenagem das amostras utilizou-se uma estufa à vácuo, que permite a não degradação dos filmes finos, da marca *Thermo Scientific*, modelo Lindberg/Blue M. Na figura 10, encontra-se o modelo utilizado.



Figura 10 – Estufa à vácuo, Lindberg Blue M.

Para a evaporação do semicondutor e dos drenos utilizou-se uma evaporadora PV 450, da marca Prest Vácuo com controle de espessura. O modelo pode ser observado na figura 11 (a) e (b).



Figura 11 – Evaporadora Prest Vácuo: painel de controle (a) e câmara evaporadora (b).

Para a caracterização do dispositivo foi usado um LCR da Agilent, modelo E4980A, que opera entre 20 Hz e 2 MHz e uma fonte da Keithley modelo 2602A, com dois canais, de acordo com a figura 12 e 13.



Figura 12 – Agilent precision LCR meter, modelo E4980A.



Figura 13 – Keithley system source meter, modelo 2602A.

3.2 Preparação dos dispositivos

Na figura 14, abaixo, encontra-se o passo a passo para fabricação do dispositivo.

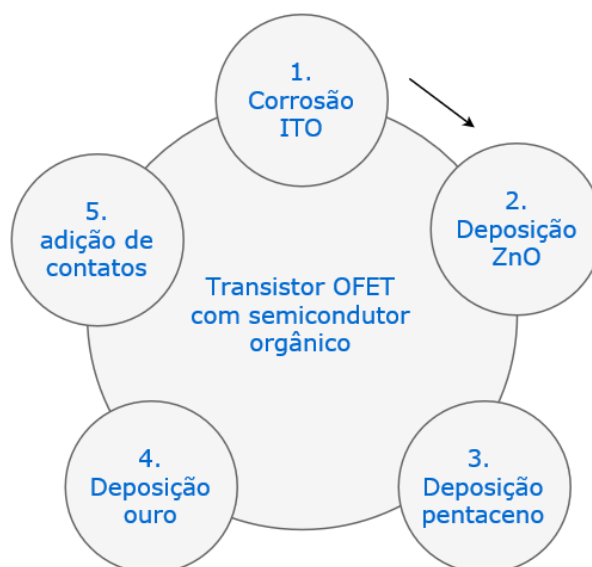


Figura 14 - Esquema para fabricação do transistor MOSFET.

Os dispositivos foram construídos em substratos de vidro no qual, de fábrica, já havia sido depositado o ITO. Para que o contato de ITO estivesse somente na área desejada, foi necessário que o substrato passasse por um processo de corrosão. Dessa forma, pintou-se a região desejada de contato, com esmalte comum. Então, mergulhou-se a amostra em uma solução de 1:1 de ácido clorídrico HCl e água deionizada. Posteriormente, a amostra foi enxaguada em água deionizada para remoção de resíduos da solução de ácido. Então, pulverizou-se pó de zinco na região onde o ITO foi corroído e em seguida a amostra permaneceu por 30 minutos, em solução de acetona, em ultrassom. A amostra foi enxaguada novamente e foi deixada em solução isopropanol, por mais 30 minutos, em ultrassom. Após esse processo, o substrato estava pronto para receber a camada isolante composta de óxido de zinco, ZnO. Na figura 15 observa-se a estrutura do OFET que foi fabricado.

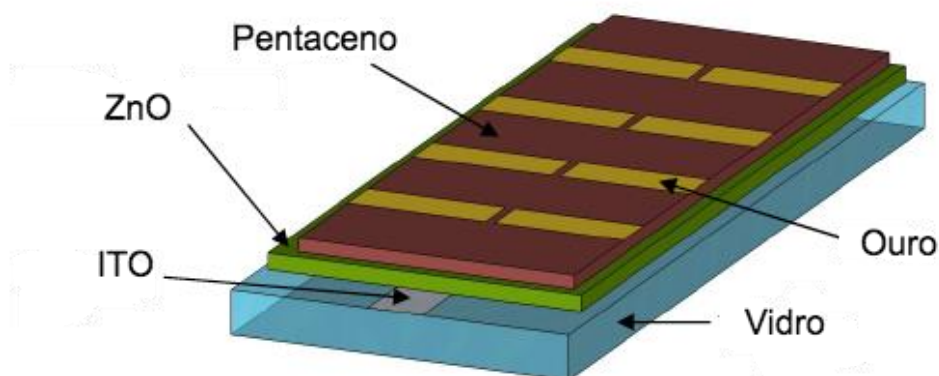


Figura 15 – Esquema ilustrativo do transistor de efeito de campo orgânico. Modificado de [3].

Com a camada isolante já depositada, a camada semicondutora, o pentaceno, foi evaporada, usando uma máscara para definir as regiões de interesse. O pentaceno foi evaporado à uma taxa de aproximadamente $0,2 \text{ \AA/s}$ de forma a obter uma espessura entre 500nm e 750nm. A pressão de processo foi de 10^{-5} mBar e a corrente de 10 A. Para a fabricação do canal e dos eletrodos de dreno e fonte, foi evaporado, usando uma máscara com um fio de ouro de 0,1mm de espessura, para bloquear localmente o fluxo de metal evaporado. Essa configuração permitiu a formação dos eletrodos, separados por um canal de 0,1mm de comprimento. Na figura 16, observa-se o posicionamento da máscara para a fabricação do processo descrito acima.

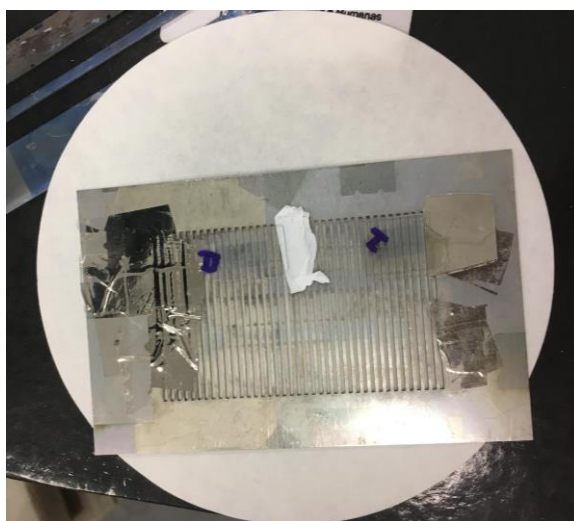


Figura 16 – Posicionamento da máscara para fabricação do canal, dreno e fonte do transistor.

Uma vez que a evaporação do ouro termina, tem-se o dispositivo pronto. Então, adicionou-se aos substratos de porta, fios de ouro, com cola carbono. Para cada substrato fabricado, tem-se não apenas um, mas alguns transistores que podem ser caracterizados, como pode ser observado na figura 17.

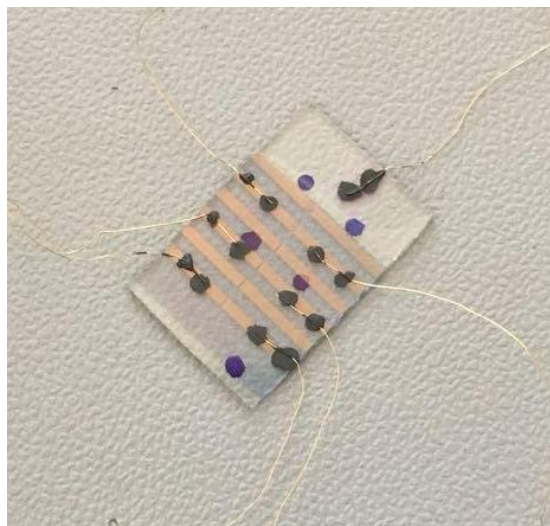


Figura 17 – Seis transistores OFETs prontos para serem caracterizados.

Foram fabricados alguns dispositivos com diferentes espessuras do material semicondutor: 250nm, 500nm e 750nm. Dessa forma, foi possível analisar a interferência da espessura do filme fino na resposta do dispositivo.

3.3 Métodos de caracterização

Para a caracterização dos dispositivos fabricados considerou-se os dois esquemas abaixo, um para analisar o capacitor MIS e outro para analisar o transistor OFET, respectivamente.

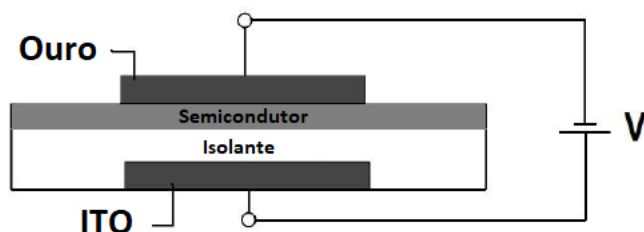


Figura 18 – Esquema elétrico para medição de capacitância. Modificado de [3].

Para determinar a capacitância do filme de ZnO, utilizou-se o LCR da Agilent com varreduras entre 100 Hz e 1 MHz, para valores fixos da tensão aplicada no ITO, que variou de 1V em 1V, indo de -5V a 0V.

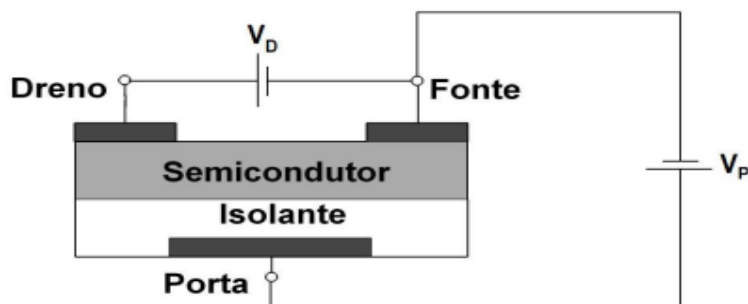


Figura 19 – Esquema elétrico para caracterizar os transistores. Retirado de [3].

A caracterização elétrica dos transistores foi feita utilizando a fonte Keithley, para obter curvas de transferência (I_D vs. V_P), no qual a tensão entre fonte e dreno V_D foi mantida constante e a corrente entre dreno e fonte I_D foi medida em função da tensão entre a porta e a fonte V_P . Para a obtenção das curvas de saída (I_D vs. V_D), a corrente entre dreno e fonte I_D foi medida em função da tensão entre dreno e fonte V_D , enquanto a tensão entre a porta e a fonte V_P é mantida constante.

4. Resultados

Foram fabricados dispositivos com três espessuras de filme fino de pentaceno diferentes: 250nm, 500nm e 750nm. Para os dispositivos com 250nm e 500nm não foi possível observar características típicas de um capacitor MOS e de um transistor do tipo OFET, como as curvas de transferência e saída para um OFET. No entanto, para o dispositivo com filme de 750nm verificou-se algumas respostas esperadas e outras inesperadas para um capacitor MOS, como o fenômeno da capacitância negativa. Já para o caso do transistor do tipo OFET não foi possível verificar uma curva de saída perfeitamente saturada, como observado na teoria. Dessa forma, optou-se por analisar mais a fundo apenas o dispositivo de dois terminais e entender o efeito e as possíveis aplicações da capacitância negativa em um dispositivo de três terminais. Nas figuras a seguir, é possível observar as curvas de Capacitância vs. Frequência e Perda vs. Frequência para valores fixos da tensão aplicada no ITO (V_{ITO}).

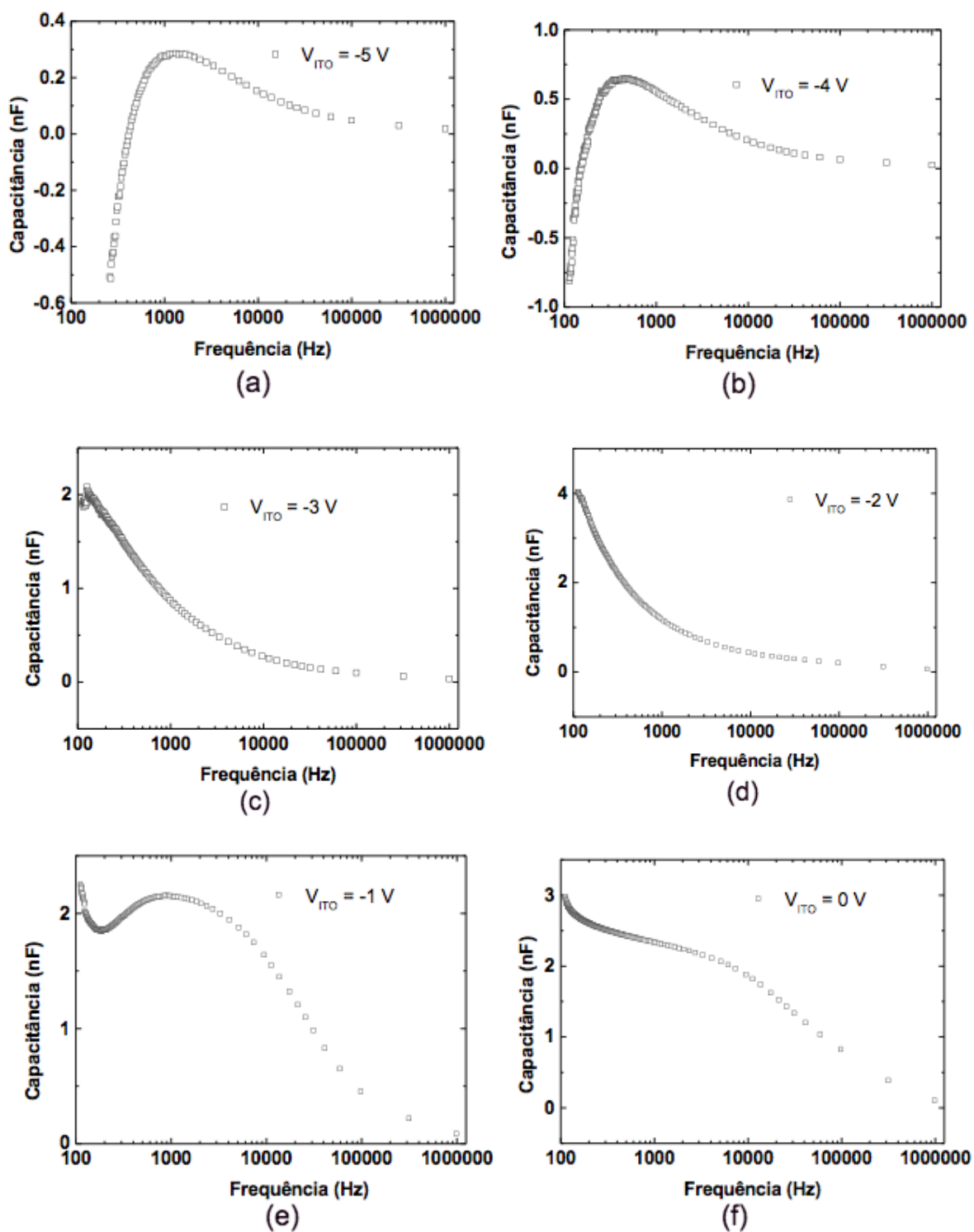


Figura 20 – Curvas de Capacitância vs. Frequência para diferentes valores de V_{ITO} (a) -5V, (b) -4V, (c) -3V, (d) -2V, (e) -1V e (f) 0V.

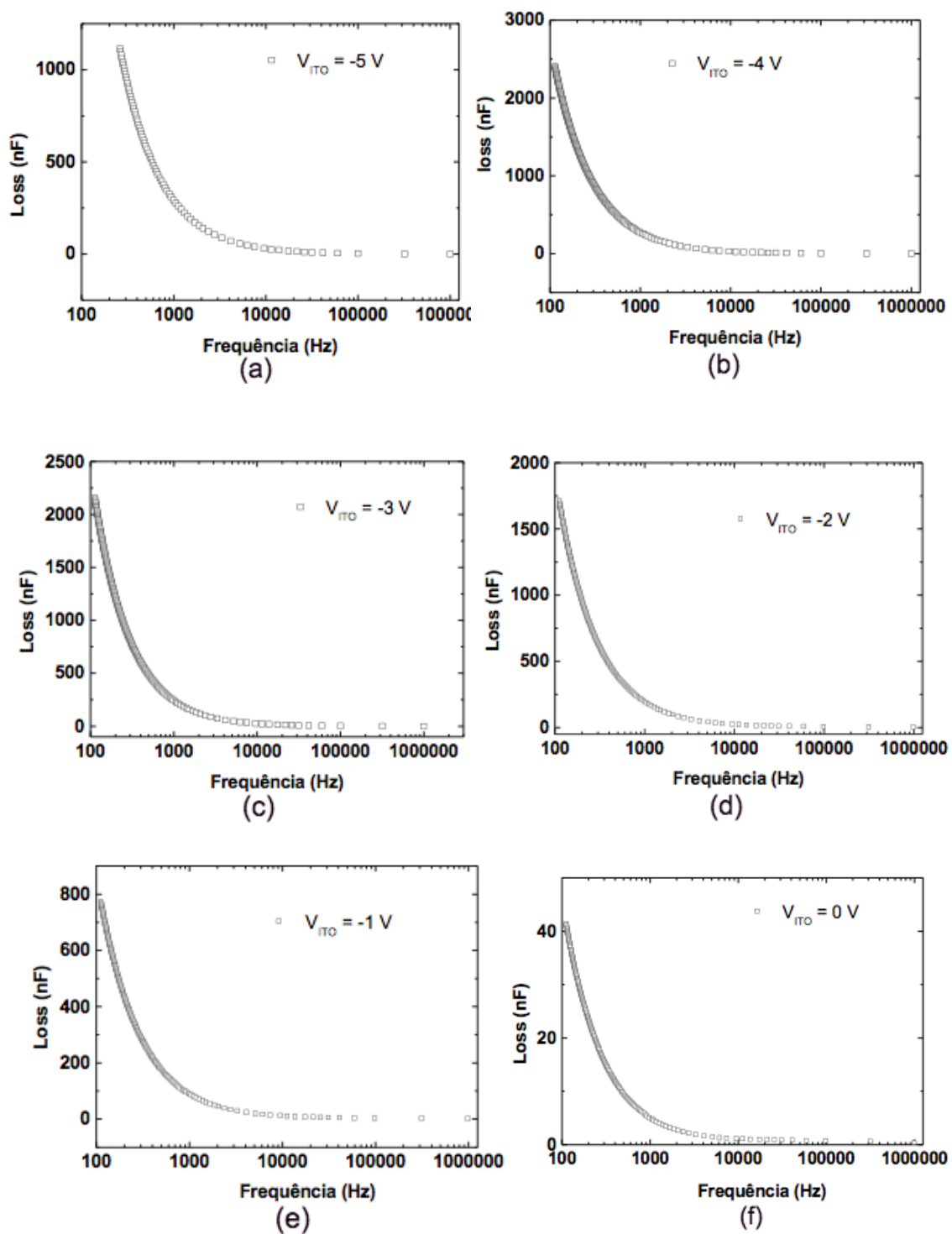


Figura 21 - Curvas de Perda vs. Frequência para diferentes valores de V_{ITO} (a) -5V, (b) -4V, (c) -3V, (d) -2V, (e) -1V e (f) 0V.

Decidiu-se por analisar as curvas de capacitância e perda em função da frequência uma vez que com essas medidas AC é possível identificar estados de interfaces, como armadilhas, que podem influenciar a mobilidade e outras características importantes de um transistor.

Analisando as figuras 20 (a) e (b), observa-se o fenômeno da capacitância negativa. Quando o valor de V_{ITO} é aumentado, verifica-se que a capacitância deixa de ser negativa e torna-se positiva, como o esperado para esse tipo de dispositivo.

Analisando as curvas de perdas, percebe-se que há uma fuga de corrente considerável para todos os casos, indicando possíveis problemas na estrutura do isolante ZnO. Nas curvas da figura 21, não é possível visualizar picos em altas frequências como observados em [7] que pudessem sugerir estados de interface. No entanto, é válido observar que existe uma limitação no aparelho de medição e isso pode ser um dos fatores que não permitiu uma melhor análise para altas frequências.

O fenômeno da capacitância negativa pode ser usado para prover amplificação de tensão para nano dispositivos de baixa potência, como descrito em [5]. No entanto, é necessário um estudo mais profundo para entender a real causa desse fenômeno nos dispositivos aqui fabricados, para assim, pensar em possíveis aplicações no mundo real.

5. Conclusão

A partir do estudo realizado sobre a estrutura de capacitores MIS, transistores de filmes finos orgânico e métodos de caracterização foi possível fabricar dispositivos de dois e três terminais, a baixo custo, a fim de que estes pudessem ser caracterizados e compreendidos.

Neste trabalho foram fabricados capacitores MIS e OFETs utilizando material semiconductor orgânico evaporado, garantindo um processos simples e de baixo custo. Os dispositivos foram caracterizados eletricamente e verificou-se um problema de corrente de fuga no filme de ZnO, provavelmente causado por defeitos no filme isolante. Além disso, verificou-se também que para filmes finos de pentaceno abaixo de 750nm, não foi possível obter a resposta esperada para um capacitor MIS e um OFET, indicando que, provavelmente, 750nm seja a espessura mínima ideal para a fabricação do dispositivo, levando em consideração, o método

utilizado. Observou-se também o efeito da capacitância negativa para o capacitor MIS, para valores de tensão aplicada no ITO, de - V e -4V. Este fenômeno inesperado precisa ser melhor compreendido, mas estudos indicam que com o uso da capacitância negativa seja possível a amplificação de tensão para nano dispositivos de baixa potência.

Referências bibliográficas

- [1]. SWART Jacobus. Transistor de Efeito de Campo Metal-Óxido-Semicondutor MOSFET. Disponível em: <<https://www.ccs.unicamp.br/cursos/ee941/download/cap06.pdf>>. Acesso em: 1 ago. 2018.
- [2]. RÓZ, A.L; LEITE, F.L; FERREIRA, M.; OLIVEIRA, O. N. J. **Grandes Áreas da Nanociência – Princípios e Aplicações**. 1.ed. Rio de Janeiro: Elsevier, 2015.
- [3]. MACHADO, W.S. **Memórias Orgânicas Baseadas em Esferas de Carbono e Transistores de Efeito de Campo Orgânicos de Baixa Tensão de Operação**. 2011. Dissertação (Doutorado em Física) – Instituto de Física, Universidade Federal do Paraná, Curitiba.
- [4]. PETTY, M.C. **Molecular Electronics – from Principle to Practice**. Inglaterra: Wiley, 2007.
- [5]. SALAHUDDIN, S; DATTA, S. **Use of Negative Capacitance to Provide Voltage Amplification for Low Power Nanoscale Devices**. *Nano Letters*. 3 Out. 2007.
- [6]. JONSCHER, A.K. **The Physical Origin of Negative Capacitance**. *J. Chem. Soc., Faraday Trans*. 1 Jan. 1986.
- [7]. BENVENHO, A.R.V; MACHADO, W.S; CRUZ, I.C. **Study of poly(3-hexylthiophene)/cross-linked poly(vinyl alcohol) as semiconductor/insulator for application in low voltage organic field effect transistors**. *Journal of Applied Physics*, 113, 7 Jun. 2013
- [8]. STALLINGA, P; BENVENHO, A.R.V; SMITS, E.C.P; MATHIJSSSEN, S.G.J; CÖLLE, M; GOMES, H.L; DE LEEUW, D.M. **Determining carrier mobility with a metal-insulator-semiconductor structure**. *Organic Electronics*, 21 Mai. 2008
- [9]. A. Kahn, N. Koch, W. Gao, *J. Polym. Sci. B, Polym. Phys.*, **41**, 2529 (2003).
- [10]. M. Halik, H. Klauk, U. Zschieschang, G. Schmid, S. Ponomarenko, S. Kirchmeyer, W.Weber, *Adv. Mater.*, **15**, 917 (2003).

- [11]. H. S. Tan, N. Mathews, T. Cahyadi, F. R. Zhu, S. G. Mhaisalkar, Appl. Phys. Lett., **94**, 263303 (2009).
- [12]. T. Hasegawa, J. Takeya, Sci. Technol. Adv. Mater. **10**, 024314, (2009).
- [13]. H. Jung, T. Lim, Y. Choi, M. Yi, J. Won, S. Pyo, Appl. Phys. Lett., **92**, 163504 (2008).